Evaluación del Trabajo Práctico Número 5

Arquitectura de Computadoras 10/05/2024

Instrucciones

- La presente evaluación es individual y podrá utilizar todo el material escrito del que disponga.
- La misma consta de 1 ejercicio en total y la duración será de 50 minutos.
- En cada ejercicio se indica el tiempo estimado para resolverlo y el puntaje que otorga el mismo.
- La evaluación se desarrollará en las hojas provistas por la cátedra a tal fin.
- Las hojas que no estén caratuladas en la forma indicada por la cátedra no serán tenidas en cuenta.
- No se permitirá intercambiar ni prestar ningún tipo de elemento entre los estudiantes.
- La buena presentación, ortografía y redacción serán tenidas en cuenta para la calificación final.

Ejercicios para resolver

1) **50 Minutos - 100 Puntos (8, 8, 10, 12, 20, 15, 15, 12)**
Considere el siguiente segmento de programa en lenguaje ensamblador de RISC-V:

```
cuadrados:
(1)   lw   t0, 0(a0)
(2)   mul  t0, t0, t0
(3)   sw   t0, 0(a1)
(4)   addi a0, a0, 4
(5)   addi a1, a1, 4
(6)   addi a2, a2, -1
(7)   bnez a2, cuadrados
(8)   ret
```

a) Realice el diagrama de precedencia para el segmento de programa mostrado.
b) Si se ejecuta el código en el mejor procesador segmentado visto en clase, ¿cuántos ciclos tarda en ejecutarse una iteración del lazo? ¿Cuál es el IPC para este bloque de código?
c) Que sucede si ahora el procesador implementa una predicción estática de saltos del tipo "No tomado nunca" y la penalidad por un salto mal tomado es de 1T. ¿cuántos ciclos tarda en ejecutarse una iteración del lazo? ¿Cuál es el IPC para este bloque de código?
d) Si se ejecuta el código en un procesador superescalar que puede emitir hasta dos instrucciones por ciclo de reloj, siempre que no haya dependencias entre ellas. ¿Cuántos ciclos tarda en ejecutarse la una iteración del lazo? ¿Cuál es el IPC resultante?
e) Para mejorar el resultado del apartado anterior se propone desenrollar el lazo una vez y reordenar las instrucciones. Proponga una versión que maximice el aprovechamiento del procesador y calcule el IPC correspondiente.
f) Para un lazo que se ejecuta n veces calcule la mejora de performance entre caso del lazo desenrollado (apartado e) respecto al lazo original (apartado d).
g) Si ahora se ejecuta el código original en un procesador que puede emitir instrucciones fuera de orden, con una cola de reordenamiento de 16 instrucciones. ¿Cuántos ciclos tarda en ejecutarse la una iteración del lazo? ¿Cuál es el IPC resultante?
h) ¿Qué instrucciones del código original pueden provocar excepciones? ¿Que tipo de excepciones provocaría cada una de estas instrucciones?

Soluciones propuestas

1)
   a) ...
   b) 8 ciclos T con un IPC de 0,875
   c) 9 ciclos T con un IPC 0,777
   d) 6 ciclos T con un IPC de 1,16.
   e) 5 ciclos con un IPC de 2
   f) 2.4 veces.
   g) 4 ciclos T con un IPC de 1,75.
   h) **`bnez`** y **`ret`** dirección invalida, **`lw`** sin permisos de lectura y **`sw`** sin permisos de escritura.